

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-298451

(43)Date of publication of application : 24.10.2000

(51)Int.Cl.

G09G 3/28

G09G 3/20

H01J 11/00

(21)Application number : 11-106439

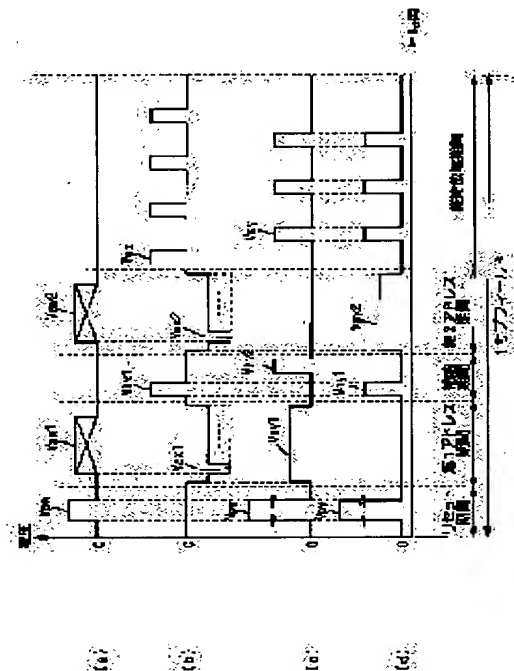
(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.04.1999

(72)Inventor : HASHIMOTO TAKASHI
INANAGA YASUTAKA**(54) METHOD FOR DRIVING ALTERNATING-CURRENT TYPE PLASMA DISPLAY PANEL, PLASMA DISPLAY DEVICE, AND ALTERNATING-CURRENT TYPE PLASMA DISPLAY PANEL****(57)Abstract:**

PROBLEM TO BE SOLVED: To make a plasma display device low in cost by decreasing the number of driving ICs for column electrodes.

SOLUTION: Row electrodes X_i ($i=1$ to n) are arranged along the vicinity of the right and left ends of this PDP and the column electrodes W_j ($j=1$ to m) are arranged along the vicinity the upper and lower ends and cross the row electrodes X_i on a grade separation basis. The column electrodes W_j and W_{m+1-j} are connected in common. The row electrodes $YL1$ to YLn from nearby the left end to nearby the center and the row electrodes $YR1$ to YRn from nearby the right end to nearby the center are arranged alternately with the row electrodes $X1$ to Xn . In a 1st address period, a scan pulse V_{ax1} is applied to the respective row electrodes X_i in order a voltage V_{aw1} based upon image data is applied to the respective column electrodes W_j in synchronism with the application of the pulse V_{ax1} . In the main period, a vertical scanning pulse V_{ay1} is applied to the row electrodes $YL1$ to YLn , which are set to the ground potential. In a 2nd address period, the voltages applied to the row electrodes $YL1$ to YLn and row electrodes $YR1$ to YRn are changed to each other.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-298451

(P2000-298451A)

(43) 公開日 平成12年10月24日 (2000.10.24)

(51) IntCl.	識別記号	F I	テマコード* (参考)
G 0 9 G 3/28		G 0 9 G 3/28	E 5 C 0 4 0
3/20	6 2 2	3/20	6 2 2 J 5 C 0 8 0
	6 2 3		6 2 3 U
H 0 1 J 11/00		H 0 1 J 11/00	K

審査請求 未請求 請求項の数10 O L (全 20 頁)

(21) 出願番号 特願平11-106439

(22) 出願日 平成11年4月14日 (1999.4.14)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 橋本 隆

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 稲永 康隆

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

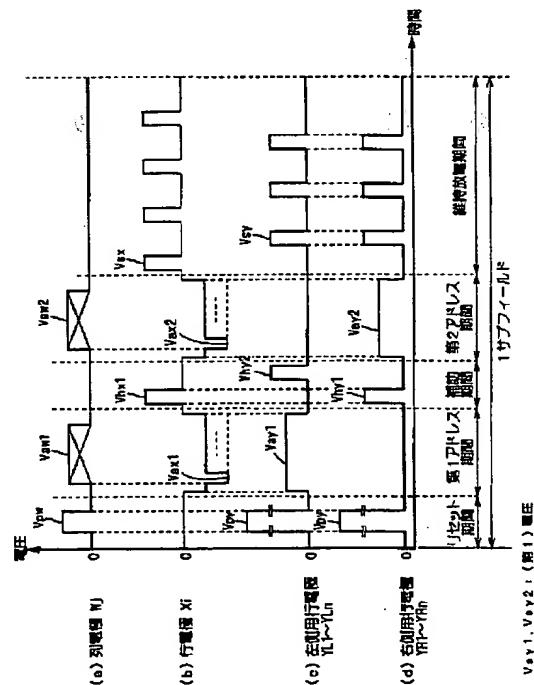
最終頁に続く

(54) 【発明の名称】 交流型プラズマディスプレイパネルの駆動方法、プラズマディスプレイ装置及び交流型プラズマディスプレイパネル

(57) 【要約】

【課題】 列電極用駆動ICの個数を削減して、プラズマディスプレイ装置の低コスト化を図る。

【解決手段】 行電極 X_i ($i=1\sim n$) は本PDPの左右端近傍に亘って配置され、列電極 W_j ($j=1\sim m$) は同上下端近傍に亘って配置されて行電極 X_i と立体交差する。列電極 W_j , W_{m+1-j} は共通に接続される。同左端近傍から中央近傍に亘る行電極 $Y_{L1}\sim Y_{Ln}$ 及び同右端近傍から中央近傍に亘る行電極 $Y_{R1}\sim Y_{Rn}$ が行電極 $X_1\sim X_n$ と交互に配置されている。第1アドレス期間において、各行電極 X_i に順次にスキャンパルス V_{ax1} を印加して行き、パルス V_{ax1} の印加に同期して各列電極 W_j に画像データに基づく電圧 V_{aw1} を印加する。本期間中、行電極 $Y_{L1}\sim Y_{Ln}$ に副走査パルス V_{ay1} を印加し、行電極 $Y_{R1}\sim Y_{Rn}$ は接地電位に設定する。第2アドレス期間では、上述の行電極 $Y_{L1}\sim Y_{Ln}$ と行電極 $Y_{R1}\sim Y_{Rn}$ との各印加電圧を入れ替える。



【特許請求の範囲】

【請求項1】 t (t は2以上の整数)本の帯状部分から成るアドレス電極と、

前記 t 本の帯状部分のそれぞれに属する t 個の放電セルと、

前記 t 個の放電セルに1対1の関係で以て属し、当該放電セルに属する前記アドレス電極を成す前記帯状部分と立体交差するように配置された t 本の帯状部分から成る走査電極と、

t 本の帯状部分から成り、当該各帯状部分が前記 t 個の放電セルに1対1の関係で以て属すると共に、当該放電セルに属する前記走査電極の前記帯状部分と対を成す、維持電極と、

前記走査電極と前記維持電極との内の少なくとも一方を被覆する誘電体とを備えた交流型プラズマディスプレイパネルの駆動方法であって、

前記アドレス電極の前記各帯状部分に所定の電圧を共通に印加し、且つ、

前記走査電極の前記各帯状部分にそれぞれ所定の電圧を印加し、且つ、

前記維持電極を成す前記 t 本の帯状部分の内で前記 t 個の放電セルの内の1個の放電セルに属する帯状部分に第1電圧を印加すると共に、前記維持電極を成す他の帯状部分に第2電圧を印加して、前記1個の放電セルのみに所望の放電を形成することを特徴とする、交流型プラズマディスプレイパネルの駆動方法。

【請求項2】 請求項1に記載の交流型プラズマディスプレイパネルの駆動方法であって、

前記走査電極を成す前記 t 本の帯状部分で以て1本の帯状電極を成す交流型プラズマディスプレイパネルに適用されることを特徴とする、交流型プラズマディスプレイパネルの駆動方法。

【請求項3】 請求項1又は2に記載の交流型プラズマディスプレイパネルの駆動方法であって、
前記第1電圧が印加された前記維持電極の前記帯状部分と当該帯状部分と対を成す前記走査電極の前記帯状部分との間の第1電位差は、前記第2電圧が印加された前記維持電極の帯状部分と当該帯状部分と対を成す前記走査電極の前記帯状部分との間の第2電位差よりも大きいことを特徴とする、交流型プラズマディスプレイパネルの駆動方法。

【請求項4】 請求項3に記載の交流型プラズマディスプレイパネルの駆動方法であって、
前記第2電位差を略電位差0に設定することを特徴とする、交流型プラズマディスプレイパネルの駆動方法。

【請求項5】 請求項1乃至4のいずれかに記載の交流型プラズマディスプレイパネルの駆動方法であって、
前記走査電極に前記所定の電圧が印加されている期間中に、前記維持電極の前記 t 本の帯状部分の内の1本を順次に選択して前記第1電圧を印加すると共に、前記維持

電極の内で前記選択された1本以外の帯状部分に前記第2電圧を印加することを特徴とする、交流型プラズマディスプレイパネルの駆動方法。

【請求項6】 請求項1乃至4のいずれかに記載の交流型プラズマディスプレイパネルの駆動方法であって、
前記交流型プラズマディスプレイパネルは前記走査電極及び前記維持電極をそれぞれ複数本有しており、
前記複数の維持電極のそれぞれの前記 t 本の帯状部分の内の各1本に前記第1電圧を共通に印加している期間中に、

前記第1電圧が印加されている複数の前記帯状部分とそれぞれ対を成す前記走査電極の前記帯状部分の内の1本を順次に選択して前記所定の電圧を印加することを特徴とする、交流型プラズマディスプレイパネルの駆動方法。

【請求項7】 請求項6に記載の交流型プラズマディスプレイパネルの駆動方法であって、

前記複数の維持電極のそれぞれの前記 t 本の帯状部分の内の各1本に前記第1電圧を共通に印加する前記期間の終了後に、

当該期間中に前記第2電圧が印加されていた前記維持電極の前記帯状部分が属する前記放電セルに、当該放電セルに属する前記走査電極と前記アドレス電極との両帯状部分間に第1補助放電を形成することを特徴とする、交流型プラズマディスプレイパネルの駆動方法。

【請求項8】 請求項6に記載の交流型プラズマディスプレイパネルの駆動方法であって、

前記複数の維持電極のそれぞれの前記 t 本の帯状部分の内の各1本に前記第1電圧を共通に印加する前記期間の終了後に、

当該期間中に選択されて前記第1電圧が印加されて前記所望の放電が形成された前記放電セルに、当該放電セルに属する前記走査電極と前記維持電極との両帯状部分間に第2補助放電を形成することを特徴とする、交流型プラズマディスプレイパネルの駆動方法。

【請求項9】 請求項1乃至8のいずれかに記載の交流型プラズマディスプレイパネルの駆動方法が適用される交流型プラズマディスプレイパネルであって、

少なくとも表示ラインに平行な方向において互いに隣接しないように配置され、且つ、前記アドレス電極の2本の帯状部分の一方に属する、所望の放電が形成可能な放電ギャップを有する複数の前記放電セルと、

前記放電セルと同一面に配置され、且つ、前記アドレス電極の前記2本の帯状部分の他方に属する、前記放電ギャップよりも放電の形成が困難な非放電ギャップを有する複数の非放電セルと、

前記非放電セルと前記放電セル又は前記非放電セルとの2者を少なくとも前記表示ラインに交差する方向に沿って区画する隔壁とを備え、

前記アドレス電極の前記2本の帯状部分は、一体化して

前記隔壁によって区画された前記2者間に亘る形状寸法を有することを特徴とする、交流型プラズマディスプレイパネル。

【請求項10】 請求項1乃至8のいずれかに記載の交流型プラズマディスプレイパネルの駆動方法により駆動される交流型プラズマディスプレイパネル、又は、請求項9に記載の交流型プラズマディスプレイパネルを備えることを特徴とする、プラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、交流型プラズマディスプレイパネル（以下、「AC-PDP」とも呼ぶ）の駆動方法、AC-PDP及びプラズマディスプレイ装置に関し、特に、プラズマディスプレイ装置の低コスト化の技術に関する。

【0002】

【従来の技術】プラズマディスプレイパネル（PDP）は、薄型のテレビジョンまたはディスプレイモニタとして種々の研究がなされている。その中で、メモリ機能を有するAC-PDPの一つとして、面放電型のAC-PDPがある。以下に、このAC-PDPの構造を図10を用いて説明する。

【0003】図10は、第1の従来技術に係るAC-PDP101の構造の一部を抽出して示す斜視図であり、このような構造のAC-PDPは、例えば特開平7-140922号公報や特開平7-287548号公報に開示される。図10に示すように、AC-PDP101は、表示面である前面ガラス基板102と、前面ガラス基板102と放電空間111を挟んで対向配置された背面ガラス基板103とを備える。なお、両ガラス基板102、103は隔壁110の頂部が後述の誘電体層106Aに当接するように配置されるが、図10では、説明の便宜上、両ガラス基板102、103を引き離した状態を図示している。

【0004】前面ガラス基板102の放電空間111側の表面上には、互いに対を成す行電極104及び行電極105（いずれも透明電極）がそれぞれn本ずつ延長形成されている。但し、図10に示すように、行電極104、105のそれぞれの表面上の一部に、インピーダンスが低く回路部から電流を供給するための金属補助電極（「母電極」又は「バス電極」とも呼ぶ）104a、105aを有する場合には、当該金属補助電極をも含めて、それぞれを「行電極104」、「行電極105」と呼ぶ。両行電極104、105を被覆するように誘電体層106が形成されている。また、図10に示すように、誘電体層106の表面上に誘電体であるMgO（酸化マグネシウム）等から成る保護膜107が蒸着法などの方法により形成される場合もあり、この場合には、誘電体層106と保護膜107とを総称して「誘電体層106A」とも呼ぶ。

【0005】他方、背面ガラス基板103の放電空間111側の表面上には、m本の列電極108が行電極104、105と直交（立体交差）するように延長形成されており、隣接する列電極108間には、隔壁110が列電極108と平行に延長形成されている。この隔壁110は、各放電セルを分離する役割を果たすと共に、PDPが大気圧により潰されないように支えるための支柱の役割も果たす。そして、背面ガラス基板103の上記表面及び隣接する隔壁110の対面する両側壁面を以て規定されるU字型溝に、当該U字型溝単位で、赤色（R）発光用の蛍光体層109R、緑色（G）発光用の蛍光体層109G又は青色（B）発光用の蛍光体層109B（総称して「蛍光体層109」とも呼ぶ）のいずれかの蛍光体層が列電極108を覆うように、所定の順序でストライプ状に配置されている。なお、列電極108を覆うように背面ガラス基板103の上記表面上に誘電体層が設けられ、当該誘電体層上に隔壁110及び蛍光体層109が配置される構造のAC-PDPもある。

【0006】上述の構造を備える前面ガラス基板102と背面ガラス基板103とは図10中に図示しない周縁部において互いに封着されて、両ガラス基板102、103の間の空間（放電空間111）にNe-Xe混合ガスやHe-Xe混合ガスなどの放電用ガスが大気圧以下の圧力で封入されている。AC-PDP101において、行電極対104、105と列電極108との立体交差部分で以て、当該PDPの1つの放電セル（「発光セル」又は「表示セル」とも呼ぶ）が規定される。そして、AC-PDP101のようにフルカラー表示用PDPの場合には、赤色発光用、緑色発光用及び青色発光用の各1個ずつから成る3つの放電セルで以て1画素を成す。このとき、図10はAC-PDP101の1画素分の構造を示している。

【0007】ここで、以下の説明では、全発光色の発光セルを点灯させて得られる発光色の行方向の横線又は同横線を表示するために必要な画素の並び（配列）を「表示ライン」と呼ぶ。このとき、AC-PDP101では、行電極104、105の1対に所定の電圧を印加すれば、1本の表示ライン（に属する放電セル）を点灯させる（選択する）ことができる。このように1画素を成す3つの放電セルが横一線に並ぶような配列は「ストライプ配列」と呼ばれることもある。

【0008】AC-PDP101では、隔壁110によって区画された、列電極108の長手方向に沿って延びる放電空間111は、(i)（行）電極対104、105が属する放電セルを構成する「発光領域」又は「表示領域」と、(ii) 隣接する電極対104、105の間の領域（又は上記長手方向に沿って配置された複数の放電セルの各隣接領域）であってPDPの表示発光に関与しない「非発光領域」又は「非表示領域」とに区別することができる。以下の説明では、(i) 放電セルを構成す

る発光領域に対して、(ii) 放電空間111中の非発光領域を形成する構造、即ち、列電極108の長手方向に沿って隣接する放電セル間の構造を便宜的に「非放電セル（又は非発光セル、又は非表示セル）」と呼ぶことにする。

【0009】また、隣接する行電極104、105間の間隙（ギャップ）の中で、(i) 対を成して放電セルでの放電を形成する2本の行電極対104、105間のギャップを「放電ギャップ（又は表ギャップ）DG」と呼ぶ一方、(ii) 隣接する放電セルのそれぞれに属する互いに対峙する2本の行電極104、105間のギャップを「非放電ギャップ（又は裏ギャップ）NG」と呼ぶことにする。このとき、非放電セルは、あたかも放電セルと同様に（それぞれ隣接する放電セルに属する）2本の行電極104、105と列電極108との立体交差点で以て規定される放電空間111（非放電領域）を有するが、AC-PDP101では、非放電ギャップNGの距離は、放電を生じない程に広く設定されている。

【0010】次に、第2の従来技術に係るAC-PDP201を図11及び図12を用いて説明する。図11は第2の従来技術に係るAC-PDP201の平面図であり、図12は図11中のI-I線における縦断面図である。このような構造を有するAC-PDPは、例えば特開平6-12026号公報に開示されている。図11及び図12に示すように、AC-PDP201は、表示面である前面ガラス基板202と、前面ガラス基板202と放電空間211を挟んで対向配置された背面ガラス基板203とを備える。そして、前面ガラス基板202の放電空間211側の表面上に、行電極204及び行電極205がそれぞれ交互に等間隔に形成されている。なお、上述のAC-PDP101と同様に、この行電極204、205が透明電極と母電極との組み合わせで構成される場合もあり、かかる場合には透明電極及び母電極から成る電極を「行電極204、205」と呼ぶ。そして、行電極204、205上に誘電体206と保護膜207（総称して「誘電体層206A」とも呼ぶ）とが順次に形成されている。

【0011】背面ガラス基板203上には列電極208が行電極204、205と直交（立体交差）するように延長形成されており、列電極208を覆うように誘電体層212が形成されている。そして、両ガラス基板202、203は隔壁210を介して対向配置されている。図11に示すように、両ガラス基板202、203間の空間は、両ガラス基板202、203と隔壁とで以て複数の六角柱状の放電空間211に区画されている。このとき、図11の平面図において各放電空間211の中心が、隣接する行電極204、205間の間隙と列電極208との交差部分に略一致するように、隔壁210が配置されている。ここで、AC-PDP201では、隣接する行電極204、205間の各間隙が放電ギャップD

Gを成し、非放電ギャップ、従って非放電セルは存在しない。このように、AC-PDP201では、行電極204、205と列電極208とが立体交差する部分で以て規定される1つの放電セルは隔壁210で囲まれて、隣接する放電セルと分離されている。なお、図11に示すように、1本の列電極208は放電空間211に対面する部分と隔壁210に対面する部分とから成り、両部分は列電極208の長手方向に沿って並ぶ放電セルの配置ピッチの半分のピッチで交互に繰り返される。

【0012】そして、1本の列電極208に沿って並ぶ複数の放電セルの各々の誘電体層212上及び隔壁210の側壁面（の一部）上には、同一の発光色の蛍光体層209が塗布されている。即ち、1本の列電極208に沿って、赤色（R）、緑色（G）又は青色（B）の内のいずれか1色の発光色用の放電セルが複数並んでいる。換言すれば、1色の発光色（又は表示色）に1本の列電極208が対応している。従って、AC-PDP210では、デルタ型に配置された各発光色用の3つの放電セル（配列の一例を図11中にR、G、Bで示す）によって白色表示を行うための1画素を構成しており、このような放電セルの配列は「デルタ配列」と呼ばれることもある。なお、放電用ガス等のその他の構成は、第1の従来技術と同様である。

【0013】次に、上述のAC-PDP101（又は201）の表示動作原理を説明する。まず、行電極対104、105（204、205）間に電圧パルスを印加して放電を起こす。そして、この放電により生じた紫外線が蛍光体層109（209）を励起することによって放電セルが発光する。この放電の際に、放電空間中に生成された電子やイオンは、それぞれの極性とは逆の極性を有する行電極104、105（204、205）の方向に移動し、行電極104、105（204、205）上の誘電体層106A（206A）の表面上に蓄積する。このようにして誘電体層106A（206A）の表面上に蓄積した電子やイオンなどの電荷を「壁電荷」と呼ぶ。

【0014】この壁電荷が形成する電界は行電極104、105（204、205）に印加された電圧による電界を弱める方向に働くため、壁電荷の形成に伴って放電は急速に消滅する。放電が消滅した後に、先程とは極性を反転した電圧パルスを行電極104、105（204、205）間に印加すると、この印加電界と壁電荷による電界とが重畳された電界が実質的に放電空間に印加されるため、再び放電を起こすことができる。このように、一度放電が起きると、放電開始時の電圧に比べて低い印加電圧（以下、「維持電圧」とも呼ぶ）を印加することによって放電を起こすことができるため、両行電極104、105（204、205）間に順次に極性を反転させた維持電圧（以下、「維持パルス」とも呼ぶ）を印加すれば、放電を定常的に維持させることができる。

以下、この放電を「維持放電」と呼ぶ。

【0015】この維持放電は、壁電荷が消滅するまでの間であれば、維持パルスが印加され続ける限り持続される。なお、壁電荷を消滅させることを「消去」と呼び、これに対して、放電開始の初期に誘電体層106A(206A)上に壁電荷を形成することを「書き込み」と呼ぶ。従って、AC-PDPの画面の任意の放電セルについて、まず書き込みを行い、その後は維持放電を行うことによって、文字・図形・画像などを表示することができる。また、書き込み、維持放電、消去を高速に行うことによって、動画表示もできる。

【0016】次に、従来のPDPのより具体的な駆動方法を、図13を用いて説明する。従来のAC-PDP101(図10参照)の駆動方法の一つとして、例えば特開平7-160218号公報(又は日本国特許2772753号の公報)に開示される駆動方法がある。図13は、その駆動方法における1サブフィールド(SF)内の駆動波形を示すタイミングチャートである。なお、以下の説明では、n本の行電極104のそれぞれを「行電極Xi($i=1\sim n$)」と呼び、n本の行電極105のそれぞれを「行電極Yi($i=1\sim n$)」と呼ぶと共に、全ての行電極Y1~Ynは単一の駆動信号(電圧)により駆動するものとして、n本を一括して「行電極Y」とも呼ぶ。また、m本の列電極108のそれぞれを「列電極Wj」($j=1\sim m$)と呼ぶ。

【0017】図13に示すサブフィールド(SF)は、画像表示のための1フレーム(F)を複数の期間に分割した内の一つであり、ここでは、サブフィールドを更に「リセット期間」、「アドレス期間」及び「維持放電期間(維持期間又は表示期間とも呼ぶ)」の3つに分割している。

【0018】まず、「リセット期間」では、直前のサブフィールドの終了時点での表示履歴を消去するとともに、引き続きアドレス期間での放電確率を上げるためのプライミング粒子の供給を行う。具体的には、全ての行電極X1~Xnと行電極Yとの間に、その立下がり時に自己消去放電を起こし得る電圧値の全面書き込みパルスVpを印加することにより、表示履歴を消去する。このとき、列電極Wjに電圧パルスVp1を印加する。

【0019】次に、「アドレス期間」では、マトリックスの選択により表示すべき放電セルのみを選択的に放電させて、その放電セルに「アドレス放電」を形成する。具体的には、図13に示すように、まず、行電極Xiに順次にスキャンパルスVxgを印加していき、点灯すべき放電セルにおいては列電極Wjに画像データに基づく電圧パルスVwDを印加することによって、列電極Wjと行電極Xiとの間で「書き込み放電」を発生させる。なお、アドレス期間中、行電極Yには副走査パルスVyscを印加する。このとき、行電極Xiと行電極Yiとの間には電位差($Vxg+Vysc$)が印加される。この

電位差($Vxg+Vysc$)は、それ自身では放電を開始しないが、先のアドレス放電をトリガにして直ちに行電極Xi、Yi間に「書き込み維持放電」を発生しうる(転移しうる)電位差である。かかるアドレス放電によって、既述のように、当該放電セルの誘電体層106A(図10参照)の表面上に、後の維持パルスVsの印加のみで維持放電を行うことが可能な量の正又は負の壁電荷が蓄積する。

【0020】このように、「アドレス放電」は、①行電極Xiと列電極Wjとの間で選択的に発生する「書き込み放電」と、②それをトリガにして行電極Xiと行電極Yiとの間で発生する「書き込み維持放電」との2つの放電から構成される。

【0021】これに対して、画像表示時に(即ち、維持放電期間において)消灯した状態のままの放電セルではアドレス放電を起こさせないため、当該放電セルの行電極Xi、Yi間には放電は生じず、当然として、壁電荷の蓄積も無い。

【0022】アドレス期間が終了すると維持放電期間になる。維持放電期間では行電極Xi、Yi間に維持パルスVsを印加することにより、上述の書き込み動作が行われた放電セルにおいて当該期間中、維持放電が持続する。なお、維持放電期間中、列電極Wjには、維持パルスVsの電圧値Vsに対しておよそ電圧($Vs/2$)に設定された電圧Vs2が印加されている。これは、アドレス期間から維持放電期間への移行時に、維持放電が安定に開始できるようにするためである。

【0023】

【発明が解決しようとする課題】しかしながら、従来のAC-PDP及びその駆動方法では、画面の縦方向である列方向に並ぶ放電セルの1列と1本の列電極(データライン)とが対応する。このため、PDPの高精細化等に伴って列電極の本数が増大すると、列電極に所定の電圧を供給するための駆動回路(一般的にIC化されている)もその分だけ増加するので、プラズマディスプレイ装置のコストが上昇してしまうという問題点がある。

【0024】本発明は上記問題点を解決するためになされたものであり、列電極が増大した場合であってもプラズマディスプレイ装置のコストを削減可能にする交流型プラズマディスプレイパネルの駆動方法を提供することを第1の目的とする。

【0025】更に、上記第1の目的を実現するために最適な構造を有する交流型プラズマディスプレイパネルを提供することを第2の目的とする。

【0026】加えて、上記第1の目的を実現しうる駆動方法により駆動される交流型プラズマディスプレイパネル又は第2の目的を実現しうる交流型プラズマディスプレイパネルを備えるプラズマディスプレイ装置を提供することを第3の目的とする。

【0027】

【課題を解決するための手段】(1) 請求項1に記載の発明に係る交流型プラズマディスプレイパネルの駆動方法は、 m (m は2以上の整数)本の帯状部分から成るアドレス電極と、前記 m 本の帯状部分のそれぞれに属する n 個の放電セルと、前記 n 個の放電セルに1対1の関係で以て属し、当該放電セルに属する前記アドレス電極を成す前記帯状部分と立体交差するように配置された m 本の帯状部分から成る走査電極と、 m 本の帯状部分から成り、当該各帯状部分が前記 n 個の放電セルに1対1の関係で以て属すると共に、当該放電セルに属する前記走査電極の前記帯状部分と対を成す、維持電極と、前記走査電極と前記維持電極との内の少なくとも一方を被覆する誘電体とを備えた交流型プラズマディスプレイパネルの駆動方法であって、前記アドレス電極の前記各帯状部分に所定の電圧を共通に印加し、且つ、前記走査電極の前記各帯状部分にそれぞれ所定の電圧を印加し、且つ、前記維持電極を成す前記 m 本の帯状部分の内、前記 n 個の放電セルの内の1個の放電セルに属する帯状部分に第1電圧を印加すると共に、前記維持電極を成す他の帯状部分に第2電圧を印加して、前記1個の放電セルのみに所望の放電を形成することを特徴とする。

【0028】(2) 請求項2に記載の発明に係る交流型プラズマディスプレイパネルの駆動方法は、請求項1に記載の交流型プラズマディスプレイパネルの駆動方法であって、前記走査電極を成す前記 m 本の帯状部分で以て1本の帯状電極を成す交流型プラズマディスプレイパネルに適用されることを特徴とする。

【0029】(3) 請求項3に記載の発明に係る交流型プラズマディスプレイパネルの駆動方法は、請求項1又は2に記載の交流型プラズマディスプレイパネルの駆動方法であって、前記第1電圧が印加された前記維持電極の前記帯状部分と当該帯状部分と対を成す前記走査電極の前記帯状部分との間の第1電位差は、前記第2電圧が印加された前記維持電極の帯状部分と当該帯状部分と対を成す前記走査電極の前記帯状部分との間の第2電位差よりも大きいことを特徴とする。

【0030】(4) 請求項4に記載の発明に係る交流型プラズマディスプレイパネルの駆動方法は、請求項3に記載の交流型プラズマディスプレイパネルの駆動方法であって、前記第2電位差を略電位差0に設定することを特徴とする。

【0031】(5) 請求項5に記載の発明に係る交流型プラズマディスプレイパネルの駆動方法は、請求項1乃至4のいずれかに記載の交流型プラズマディスプレイパネルの駆動方法であって、前記走査電極に前記所定の電圧が印加されている期間中に、前記維持電極の前記 m 本の帯状部分の内の1本を順次を選択して前記第1電圧を印加すると共に、前記維持電極の内、前記選択された1本以外の帯状部分に前記第2電圧を印加することを特徴とする。

【0032】(6) 請求項6に記載の発明に係る交流型プラズマディスプレイパネルの駆動方法は、請求項1乃至4のいずれかに記載の交流型プラズマディスプレイパネルの駆動方法であって、前記交流型プラズマディスプレイパネルは前記走査電極及び前記維持電極をそれぞれ複数本有しており、前記複数の維持電極のそれぞれの前記 m 本の帯状部分の内の各1本に前記第1電圧を共通に印加している期間中に、前記第1電圧が印加されている複数の前記帯状部分とそれぞれ対を成す前記走査電極の前記帯状部分の内の1本を順次を選択して前記所定の電圧を印加することを特徴とする。

【0033】(7) 請求項7に記載の発明に係る交流型プラズマディスプレイパネルの駆動方法は、請求項6に記載の交流型プラズマディスプレイパネルの駆動方法であって、前記複数の維持電極のそれぞれの前記 m 本の帯状部分の内の各1本に前記第1電圧を共通に印加する前記期間の終了後に、当該期間中に前記第2電圧が印加されていた前記維持電極の前記帯状部分が属する前記放電セルに、当該放電セルに属する前記走査電極と前記アドレス電極との両帯状部分間に第1補助放電を形成することを特徴とする。

【0034】(8) 請求項8に記載の発明に係る交流型プラズマディスプレイパネルの駆動方法は、請求項6に記載の交流型プラズマディスプレイパネルの駆動方法であって、前記複数の維持電極のそれぞれの前記 m 本の帯状部分の内の各1本に前記第1電圧を共通に印加する前記期間の終了後に、当該期間中に選択されて前記第1電圧が印加されて前記所望の放電が形成された前記放電セルに、当該放電セルに属する前記走査電極と前記維持電極との両帯状部分間に第2補助放電を形成することを特徴とする。

【0035】(9) 請求項9に記載の発明に係る交流型プラズマディスプレイパネルは、請求項1乃至8のいずれかに記載の交流型プラズマディスプレイパネルの駆動方法が適用される交流型プラズマディスプレイパネルであって、少なくとも表示ラインに平行な方向において互いに隣接しないように配置され、且つ、前記アドレス電極の2本の帯状部分の一方に属する、所望の放電が形成可能な放電ギャップを有する複数の前記放電セルと、前記放電セルと同一面に配置され、且つ、前記アドレス電極の前記2本の帯状部分の他方に属する、前記放電ギャップよりも放電の形成が困難な非放電ギャップを有する複数の非放電セルと、前記非放電セルと前記放電セル又は前記非放電セルとの2者を少なくとも前記表示ラインに交差する方向に沿って区画する隔壁とを備え、前記アドレス電極の前記2本の帯状部分は、一体化して前記隔壁によって区画された前記2者間に亘る形状寸法を有することを特徴とする。

【0036】(10) 請求項10に記載の発明に係るプラズマディスプレイ装置は、請求項1乃至8のいずれか

に記載の交流型プラズマディスプレイパネルの駆動方法により駆動される交流型プラズマディスプレイパネル、又は、請求項9に記載の交流型プラズマディスプレイパネルを備えることを特徴とする。

【0037】

【発明の実施の形態】＜実施の形態1＞

A. プラズマディスプレイ装置60の構成

図1は、実施の形態1に係るプラズマディスプレイ装置60の全体構成を示すブロック図である。図1に示すように、プラズマディスプレイ装置60は、AC-PDP61と、当該PDP61の行電極に所定の電圧を供給するための駆動回路16、17、153、154と、列電極に所定の電圧を供給するための駆動回路18と、駆動回路16、17、153、154、18を制御する制御回路40と、所定の電圧を生成して駆動回路16、17、153、154、18に供給する電源回路41とを備えている。以下に個々の構成要素を説明する。なお、図1において、AC-PDP61は表示面側から見た場合における各電極の配置関係のみを模式的に図示しており、隔壁や蛍光体等の他の構成要素は従来のAC-PDP（例えば図10のAC-PDP101）と同様である。また、以下の説明において、左右上下方向の表記は、プラズマディスプレイ装置60をAC-PDP61の表示面側から見た場合を基準としており、上記各方向の記載は図1における上下左右方向に一致する。

【0038】AC-PDP61は、従来のAC-PDPの構造を基本としつつ、対を成す2本の行電極の内の一方がPDPの中央において左右に分断された構造を有する。詳細には、図1に示すように、(a) n本の行電極 $X_1 \sim X_n$ （以下、n本の内の任意の1本を「行電極 X_i 」（ $i=1 \sim n$ ）とも呼ぶ）が互いに平行を成して本PDPの左右端近傍に亘って配置され、m本の列電極 $W_1 \sim W_m$ （以下、m本の内の任意の1本を「列電極 W_j 」（ $j=1 \sim m$ ）とも呼ぶ）が行電極 $X_1 \sim X_n$ と（立体）交差する方向に、互いに平行を成して本PDPの上下端近傍に亘って配置されている。特に、それぞれが行電極 $X_1 \sim X_n$ と平行を成すn本の行電極 $Y_{L1} \sim Y_{Ln}$ （以下、n本の内の任意の1本を「行電極 Y_{Li} 」（ $i=1 \sim n$ ）とも呼ぶ）が本PDPの左端近傍から中央近傍に亘って配置されている一方、それぞれが行電極 $X_1 \sim X_n$ と平行を成すn本の行電極 $Y_{R1} \sim Y_{Rn}$ （以下、n本の内の任意の1本を「行電極 Y_{Ri} 」（ $i=1 \sim n$ ）とも呼ぶ）が本PDPの右端近傍から中央近傍に亘って配置されている。上記行電極 $Y_{L1} \sim Y_{Ln}$ 、 $Y_{R1} \sim Y_{Rn}$ と行電極 $X_1 \sim X_n$ とは交互に配置されている。このとき、行電極 $Y_{L1} \sim Y_{Ln}$ とm本の内の左半分の $m/2$ 本の列電極 $W_1 \sim W_{m/2}$ とが（立体）交差し、行電極 $Y_{R1} \sim Y_{Rn}$ とm本の内の右半分の $m/2$ 本の列電極 $W_{m/2+1} \sim W_m$ とが（立体）交差する。このとき、行電極 Y_{Li} 及び行電極 Y_{Ri} がそれぞれ行電極 X_i と対を成し（以下、それ

それを「（行）電極対 X_i, Y_{Li} 」、「（行）電極対 X_i, Y_{Ri} 」とも呼ぶ）、行電極対と列電極との各（立体）交差点で以て1個の放電セル（「発光セル」又は「表示セル」とも呼ぶ）が規定される。このとき、行電極対 X_i, Y_{Li} （又は Y_{Ri} ）と列電極 W_j とで規定される放電セルを「マトリクス（ i, j ）の放電セル」のように表現する。なお、以下の説明において、行電極 $Y_{L1} \sim Y_{Ln}$ を「左側用行電極 $Y_{L1} \sim Y_{Ln}$ 」とも呼び、行電極 $Y_{R1} \sim Y_{Rn}$ を「右側用行電極 $Y_{R1} \sim Y_{Rn}$ 」とも呼ぶ。

【0039】AC-PDP61では、行電極 $X_1 \sim X_n$ 及び行電極 $Y_{L1} \sim Y_{Ln}$ 、 $Y_{R1} \sim Y_{Rn}$ を覆うように誘電体（層）（図1中に図示せず。図10の誘電体層106（又は106A）参照）が配置されている。なお、行電極 $X_1 \sim X_n$ と行電極 $Y_{L1} \sim Y_{Ln}$ 、 $Y_{R1} \sim Y_{Rn}$ との内の少なくとも一方が誘電体で覆われていれば、AC-PDPにおける壁電荷に起因したメモリ機能を得ることができ、既述の図13に示す、アドレス期間と維持期間とを分離した駆動方法が適用可能である。

【0040】駆動回路18はWドライバ181と駆動IC182とから成る。Wドライバ181は、後述の制御回路40からの制御信号及び電源回路41からの供給電圧が入力されて所定の電圧パルスを生成する。そして、駆動IC182は、制御回路40からの制御信号に基づいて上記Wドライバ181で生成された上記所定の電圧パルスを出力する。

【0041】図1に示すように、列電極 W_1 と列電極 W_m とが、駆動IC182の所定の1つの出力端子に共通に接続され、同様に、列電極 W_2 と列電極 W_{m-1} とが、駆動IC182の所定の1つの出力端子に接続されている。即ち、プラズマディスプレイ装置60では、列電極 $W_m/2$ と列電極 $W_{m/2+1}$ との間を境界として左右対象の位置にある列電極 W_j と列電極 W_{m+1-j} とが共通に所定の1つの出力端子に接続されている。従って、列電極 W_j と列電極 W_{m+1-j} とに共通に上記所定の電圧パルスが印加される。

【0042】駆動回路16は、上記Wドライバ181と同等のXドライバ161と、上記駆動IC182と同等の駆動IC162とから成る。Xドライバ161は、制御回路40からの制御信号及び電源回路41からの供給電圧が入力されて所定の電圧パルスを生成する。また、駆動IC162の複数の出力端子のそれぞれが行電極 $X_1 \sim X_n$ の内の奇数番目の電極に接続されており、当該駆動IC162は、制御回路40からの制御信号に基づいて上記Xドライバ161で生成された所定の電圧パルスを上記奇数番目の行電極に（走査して）印加する。他方、駆動回路17は上記Xドライバ161と同等のXドライバ171及び上記駆動IC162と同等の駆動IC172とから成り、当該駆動IC172の出力端子は行電極 $X_1 \sim X_n$ の内の偶数番目の電極に接続されている。

【0043】駆動回路153, 154は上記Wドライバ181と同等のYドライバから成る(このため同一の参照符号を用いて「Yドライバ153, 154」とも呼ぶ)。特に、Yドライバ153の出力端子に行電極YL1~YLnが共通に接続されており、Yドライバ154の出力端子に行電極YR1~YRnが共通に接続されている。なお、Yドライバ153, 154を各々「左側用Yドライバ153」、「右側用Yドライバ154」とも呼ぶ。

【0044】制御回路40は、入力映像信号Sに基づく制御信号を生成して、駆動回路16, 17, 18, 153, 154に出力する。

【0045】B. AC-PDP61の駆動方法

B-1. 駆動の原理

まず、AC-PDP61における放電セルでの放電の制御の原理を説明する。共通に駆動IC18.2に接続されて同一の電圧が供給される列電極(それぞれがアドレス電極の「帯状部分」に該当し、その総称が「アドレス電極」に該当する)Wj, Wm+1-jに属する任意の2個の放電セル、例えばマトリクス(i1, j), (i2(≠i1), m+1-j)の各放電セルのそれぞれには行電極(それぞれが維持電極の「帯状部分」に該当し、その総称が「維持電極」に該当する)YLi1, YRi2が属する。

【0046】行電極X1~Xnのそれぞれは、n本の行電極X1~Xnの総称を「走査電極」とすると、走査電極の帯状部分と捉えることができる。そして、上記マトリクス(i1, j), (i2, m+1-j)の各放電セルは、列電極Wj, Wm+1-j(アドレス電極)に同一の電圧が印加される場合であっても、行電極Xi1, YLi1間の電位差と行電極Xi2, YRi2間の電位差とを制御することによって、独立に放電形成が可能である。同様に、列電極Wj又は/及び列電極Wm+1-jに複数の放電セルが属する場合であっても、各放電セルに属する行電極間(維持電極及び走査電極の各帯状部分間)の電位差の制御により、上記複数の放電セルを独立制御可能である。

【0047】更に、1本の行電極(帯状電極)Xiの左半分及び右半部分をそれぞれ帯状部分と捉えるときには、当該1本の行電極(帯状電極)Xiを「走査電極」と呼ぶことができる。このとき、当該行電極Xi及び列電極Wj, Wm+1-jで規定される2つの放電セル(マトリクス(i, j), (i, m+1-j)で与えられる)は、行電極Xiに電圧を印加した場合(即ち、1本の走査電極の各帯状部分に共通の電圧を印加した場合)であっても、行電極YLi, YRiへの印加電圧の制御によって、独立制御が可能である。このため、本AC-PDP61には、以下の駆動方法が適用可能である。

【0048】B-2. 実施の形態1に係る駆動方法
プラズマディスプレイ装置60におけるAC-PDP61の具体的な駆動方法を図2に示す駆動電圧のタイミン

グチャートを用いて説明する。図2中の(a)~(d)はそれぞれ列電極Wj, 行電極Xi, 左側用行電極YL1~YLn, 右側用行電極YR1~YRnへの各印加電圧の1サブフィールド(SF)における駆動波形を示している。なお、図2に示すパルス波形は同波形の一例であり、図2の電圧パルスの極性をすべて反転させたパルスを用いても良い。

【0049】図2に示す駆動方法では、1サブフィールドを「リセット期間」、「第1アドレス期間」、「補助期間」、「第2アドレス期間」及び「維持放電期間(又は維持期間)」の5つに期間に分割している。特に、本駆動方法は、第1及び第2アドレス期間と補助期間とにおける各駆動方法に特徴があり、リセット期間及び維持放電期間の駆動方法は例えば図13に示す従来の駆動方法が適用可能である。以下、これら5つの期間を詳述する。

【0050】B-2-1. リセット期間

リセット期間では、従来の駆動方法と同様に、行電極YL1~YLn及び行電極YR1~YRnに全面書き込みパルスVpy(電圧Vpy)を与える。これによって、直前のサブフィールドの終了時点での表示履歴を消去するとともに、引き続き第1及び第2アドレス期間での放電確率を上げるためのプライミング粒子の供給を行う。また、上記電圧パルスVpyと同じタイミングで全列電極W1~Wmに電圧パルスVpw(電圧Vpw)を印加する。この電圧パルスVpwは、上記電圧パルスVpyの印加により列電極W1~Wmと行電極YL1~YLn, YR1~YRnとの間に放電を生じさせないようにするためのものであり、電圧パルスVpyの略中間電位とすることが望ましい。例えば、電圧Vpy=330V、電圧Vpw=100Vに設定する。

【0051】B-2-2. 第1アドレス期間

第1アドレス期間では、左側用行電極YL1~YLnに属する放電セルの内での維持放電期間において表示点灯させるべき放電セルに選択的にアドレス放電(既述のように、書き込み放電と書き込み維持放電とから成る)を起こす。詳細には、従来の駆動方法と同様に、行電極X1から行電極Xnへ順次にスキャンパルスVax1(電圧Vax1)を印加して行き、当該パルスVax1の印加に同期して列電極W1~Wmに画像データ(入力映像信号Sに相当)に基づいて電圧パルスVaw1(電圧Vaw1)を印加する。例えば、電圧Vax1=(-180)V、電圧Vaw1=40Vに設定する。なお、以下の説明において、(第1及び第2)アドレス期間において入力画像データに基づいた動作として、①後の維持放電期間中に表示点灯させるべき放電セルにアドレス放電を形成する動作と、②同期中に表示点灯させない放電セルにはアドレス放電を形成しない動作との双方を総称して「アドレス動作」又は「書き込み動作」と呼ぶことにする。

【0052】本駆動方法では、行電極X1~Xnの走査の

期間中、左側用行電極YLi~YLnの全てに副走査パルスである電圧パルス(第1電圧)Vay1(電圧Vay1)を印加すると共に、右側用行電極YR1~YRnの全てを接地電位(又はGND電位)(第2電圧)に設定する(従って、行電極Xi, YLi間の電位差(第1電位差)は、行電極Xi, YRi間の電位差(第2電位差)よりも大きい)。これは以下の理由による。即ち、行電極Xiと列電極Wjとの間に「書込み放電」を発生させるために必要とされる両電極Xi, Wjへの印加電圧は、行電極YLi, YRiの印加電位に大きく依存する。例えば行電極対Xi, YLi(又はYRi)に当該電極対間での放電が起こらない範囲の内で最大の電位差を与えときには、電極Xi, Wj間の電位が小さくても書込み放電を形成可能である。逆に、行電極対Xi, YLi(又はYRi)の電位差が小さいほど、書込み放電を発生させるために電極Xi, Wj間に印加する電圧を大きくしなければならない。そこで、本第1アドレス期間では、上記副走査パルスVay1の電圧制御によって、左側用行電極YLi~YLnに属する放電セルに対してアドレス動作を実行する一方で、右側用行電極YR1~YRnに属する全ての放電セルに対しては書込み放電を発生させないようにしている。このとき、例えば電圧Vay1=60Vに設定する。

【0053】電極Xi, Wj間の書込み放電に引き続いて、当該書込み放電をトリガとして行電極Xiと左側用行電極YLiとの間に「書込み維持放電」が発生する。かかる書込み放電から書込み維持放電への転移も電極対Xi, YLi間の電位差に依存する。左側用行電極YLiに印加されている副走査パルスVay1=60Vのとき、電極対Xi, YLi間の電位差は240V(=60V-(−180V))であるため、上記放電の転移を十分に生じさせることができる。これに対して、右側用行電極YRiは接地電位であため、電位差180Vが印加されている電極対Xi, YRi間では上記放電の転移は起こらない。

【0054】従って、仮に右側用行電極YRiに属する放電セルに書込み放電が発生した場合であっても電極Xi, YRi間の書込み維持放電へ転移することはない。

【0055】アドレス放電が発生した放電セルでは、行電極YLiを覆う誘電体上に(以下、単に「行電極Yiの上方に」のように表現する)マイナスの壁電荷が蓄積すると共に行電極Xiの上方にプラスの壁電荷が蓄積し、更には列電極Wjの上方にはマイナスの壁電荷が蓄積してしまう。但し、列電極Wj(の印加電圧)を用いた放電は書込み維持放電のトリガとしての書込み放電であり、主体的な放電である電極Xi, YLi間での書込み維持放電よりも小さいので、列電極Wjの上方の壁電荷量は比較的に小さい。

【0056】なお、本第1アドレス期間において、右側用行電極YR1~YRnの電位を電圧Vax1に設定する

(このとき、上記電圧Vax1が第2電圧に該当し、行電極Xi, YRi間の電位差(第2電位差)が電位差0である)ときには、当該行電極YR1~YRnに属する放電セルでの放電の発生をより確実に防止することができる。

【0057】また、本第1アドレス期間において、まず偶数行目の行電極対Xi, YLiに属する放電セルのアドレス動作を実行し、その後に奇数行目の行電極対Xi, YLiに属する放電セルのアドレス動作を行っても良い。かかる点は、後述の第2アドレス期間においても同様である。

【0058】B-2-3. 補助期間

さて、右側用行電極YR1~YRnに属する放電セルにはアドレス放電(書込み放電及び書込み維持放電)が全く発生しないことが望ましい。しかしながら、電極Xi, Wj間においてアドレス放電の初期の放電である書込み放電が発生してしまう場合がある。上述のように、電極Xi, Wj間で放電が発生すると、行電極Xiの上方及び列電極Wjの上方にそれぞれプラスの壁電荷、マイナスの壁電荷が若干量形成されてしまう。このとき、かかる電荷状態のまま右側用行電極YR1~YRnに属する放電セルのための第2アドレス期間に入っても、正常なアドレス動作を実行することができない場合がある。即ち、アドレス放電を形成すべき放電セルにおいてアドレス放電が発生しないときには、維持放電期間における所望の発光セルが点灯しない事態(いわゆる不点灯)が生じうる。また、アドレス放電を形成させる必要がない放電セルで(誤)放電が発生したときには、維持放電期間において不必要に点灯してしまう(いわゆる誤点灯)。更に、上述の電極Xi, Wjの上方の各壁電荷によって、第2アドレス期間における各電圧パルスの電圧マージンが狭められてしまう。

【0059】そこで、第2アドレス期間に入る前に、本補助期間において、①第1アドレス期間でアドレス動作が終了している左側用行電極YLiに属する放電セルの壁電荷状態を変化させることなく、②右側用行電極YRiに属する放電セルの内で第1アドレス期間で放電が生じてしまった放電セルの壁電荷を少なくとも上述の不点灯等を回避しうる程度までに減少させる。

【0060】図2に示すように、まず、本補助期間の初期時において、全ての行電極X1~Xnと右側用行電極YR1~YRnとにそれぞれ電圧パルスVhx1(電圧Vhx1)、電圧パルスVhy1(電圧Vhy1)を同じタイミングで印加すると共に、左側用行電極YLi~YLn及び列電極Wi~Wmを接地電位にする。このとき、電圧Vhx1と電圧Vhy1とを同電位(例えば180V)に設定する。かかる電圧設定によれば、行電極Xiと右側用行電極YRiとは同電位であるため、右側用行電極YRiに属する放電セルにおいて電極Xi, Wj間及び電極YRi, Wj間で放電(第1補助放電)が発生する。か

かる放電により、電極 X_i 、 W_j の上方の上記壁電荷を減少させることができる。

【0061】他方、行電極 X_i に上記電圧 V_{hx1} が印加され、且つ、左側用行電極 Y_{Li} は接地電位にあるので、左側用行電極 Y_{Li} に属する放電セルの内第1アドレス期間においてアドレス放電により生成された壁電荷を有している放電セルでは、当該壁電荷に上記印加電圧が重畳されて電極 X_i 、 Y_{Li} 間に放電（第2補助放電）が発生する。この電極 X_i 、 Y_{Li} 間の放電によって、当該放電セルの各電極 X_i 、 Y_{Li} の上方の壁電荷の極性は第1アドレス期間終了後の極性に対して反転する。

【0062】そして、引き続き次のタイミングにおいて、左側用行電極 $Y_{L1} \sim Y_{Ln}$ に電圧パルス V_{hy2} （電圧 V_{hy2} ）を印加すると共に、行電極 $X_1 \sim X_n$ 、右側用行電極 $Y_{R1} \sim Y_{Rn}$ 及び列電極 $W_1 \sim W_m$ を接地電位にする。例えば電圧 $V_{hy2} = 180V$ に設定する。かかる電圧印加によって、左側用行電極 $Y_{L1} \sim Y_{Ln}$ に属する放電セルの内壁電荷（上述のように、第1アドレス期間終了後の極性に対して反転している）を有する放電セルで、再度、放電（第2補助放電）が発生する。なお、当該放電セルにおける上記第1補助放電は第2補助放電と捉えられるので、当該放電セルでは、第2補助放電が2回形成されたと言える。その結果（第2補助放電が2回形成された結果）、当該放電セルの壁電荷状態（又は壁電荷による電位関係）は第1アドレス期間終了後の状態に戻る。

【0063】他方、右側用行電極 $Y_{R1} \sim Y_{Rn}$ 、行電極 $X_1 \sim X_n$ 及び列電極 $W_1 \sim W_m$ の電位は接地電位であるため、右側用行電極 $Y_{R1} \sim Y_{Rn}$ に属する放電セルでは放電は生じない。

【0064】このようにして、補助期間終了後に、①左側用行電極 Y_{Li} に属する放電セルの壁電荷状態を変化させることなく、②右側用行電極 Y_{Ri} に属する放電セルの壁電荷量を減少させることができる。これにより、次の第2アドレス期間における正常なアドレス動作を実行できると共に、当該期間中の各電圧パルスの電圧マージンを電極 X_i 、 W_j 間の放電が発生する程度まで広げることができる。

【0065】更に、本補助期間での駆動によれば、左側用行電極 $Y_{L1} \sim Y_{Ln}$ に属する放電セルの電荷状態がより安定化されるという効果が得られる。これは以下の理由による。一般的に、所定の電極間での放電及び壁電荷状態は、当該放電を繰り返して実行することで、より安定化する。このとき、反復的な放電により、壁電荷は次第に増幅して行き定常状態（定常量）に達する。従って、第1アドレス期間において壁電荷が形成された左側用行電極 $Y_{L1} \sim Y_{Ln}$ に属する放電セルでは、補助期間における電圧パルス V_{hx1} 及び V_{hy2} によって行電極対 X_i 、 Y_{Li} 間での放電（第2補助放電）が形成され

るので、第1アドレス期間において一度だけ放電した場合よりも壁電荷が成長して安定化されている。その結果、本駆動方法によれば、より確実に維持放電期間における維持放電を開始することができる。特に、本駆動方法では第1アドレス期間と維持放電期間との間に補助期間及び第2アドレス期間を有するため、上述の壁電荷安定効果は非常に有効である。なぜならば、壁電荷が安定していない状態のまま補助期間又は第2アドレス期間において行電極 $X_1 \sim X_n$ 又は列電極 $W_1 \sim W_m$ に電圧パルスが印加された場合には、予期せぬ放電が誘発されて壁電荷が消滅してしまい、維持放電期間における不点灯状態が発生しうからである。

【0066】B-2-4. 第2アドレス期間

補助期間に続いて、第2アドレス期間での駆動を実行する。本第2アドレス期間は、上述の第1アドレス期間におけるアドレス動作を、右側用行電極 $Y_{R1} \sim Y_{Rn}$ に属する放電セルに対して行う。このため、第1アドレス期間と同様に、行電極 $X_1 \sim X_n$ に上述の電圧パルス V_{ax1} と同等のスキャンパルス V_{ax2} （電圧 V_{ax2} ）を印加し、当該パルス V_{ax2} に同期させて列電極 $W_1 \sim W_m$ に上述の電圧パルス V_{aw1} と同等の電圧パルス V_{aw2} （電圧 V_{aw2} ）を印加する。特に、第2アドレス期間では、右側用行電極 $Y_{R1} \sim Y_{Rn}$ に上述の電圧パルス V_{ay1} と同等の電圧パルス（第1電圧） V_{ay2} （電圧 V_{ay2} ）を印加し、左側用行電極 $Y_{L1} \sim Y_{Ln}$ を接地電位（第2電圧）に設定する（従って、行電極 X_i 、 Y_{Ri} 間の電位差（第1電位差）は、行電極 X_i 、 Y_{Li} 間の電位差（第2電位差）よりも大きい）。このとき、例えば電圧 $V_{aw1} = \text{電圧} V_{aw2}$ 、電圧 $V_{ax1} = \text{電圧} V_{ax2}$ 、電圧 $V_{ay1} = \text{電圧} V_{ay2}$ に設定する。

【0067】かかる駆動によって、左側用行電極 $Y_{L1} \sim Y_{Ln}$ に属する放電セルに放電を発生させることなく、右側用行電極 $Y_{R1} \sim Y_{Rn}$ に属する放電セルに対してアドレス動作を実行可能である。

【0068】なお、第1アドレス期間と同様に、本第2アドレス期間において、左側用行電極 $Y_{L1} \sim Y_{Ln}$ の電位を電圧 V_{ax2} に設定する（このとき、上記電圧 V_{ax2} が第2電圧に該当し、行電極 X_i 、 Y_{Li} 間の電位差（第2電位差）が電位差0である）ときには、当該行電極 $Y_{L1} \sim Y_{Ln}$ に属する放電セルでの放電の発生をより確実に防止することができる。

【0069】B-2-5. 維持放電期間

第1及び第2アドレス期間において全放電セルに対するアドレス動作が終了した後に、維持放電期間での駆動を行う。具体的には、図2に示すように、全行電極 $X_1 \sim X_n$ と全行電極 $Y_{L1} \sim Y_{Ln}$ 、 $Y_{R1} \sim Y_{Rn}$ とにそれぞれ維持パルス V_{sx} （電圧 V_{sx} ）、維持パルス V_{sy} （電圧 V_{sy} ）を交互に、サブフィールド毎に規定された所定の回数だけ印加する。かかる電圧印加により、ア

ドレス放電が生成された放電セルに、本サブフィールドの維持放電が発生する。このとき、電圧 V_{sx} 及び電圧 V_{sy} を上記電圧 V_{hx1} 、 V_{hy1} 、 V_{hy2} と同じ電位である180Vに設定するときには、少ない電源数で図1の電源回路41又はプラズマディスプレイ装置60を構成することができるという利点がある。

【0070】このように、実施の形態1に係るAC-PDP61の駆動方法（ないしはプラズマディスプレイ装置60）によれば、AC-PDP61が有する m 本の列電極 $W1 \sim Wm$ を2本1組として共通の電圧を印加してAC-PDP61を駆動するので、従来のプラズマディスプレイ装置と比較して、列電極用駆動IC182の個数を半減することができる。従って、プラズマディスプレイ装置60は、従来のプラズマディスプレイ装置よりもコストを大幅に削減することができる。

【0071】ここで、図1に示すように、プラズマディスプレイ装置60は2つのYドライバ153、154を備えており、従来のプラズマディスプレイ装置よりも同ドライバの個数が多い。しかしながら、(i)各電極用の駆動IC162、172、182の単価は、各ドライバ153、154、161、171、181よりも高いこと、及び、(ii)駆動IC等のコストをその出力端子1個あたりのコストとして捉えた場合、Yドライバの出力端子数増加分によるコスト上昇よりも列電極用駆動ICの出力端子数減少分によるコスト削減効果の方が非常に大きいことに鑑みれば、プラズマディスプレイ装置60によるコスト削減効果は顕著であると言える。

【0072】なお、行電極 $X1 \sim Xn$ 用の駆動回路16、17を1カ所に、例えばAC-PDP61の左側に配置しても良い。但し、行電極 $X1 \sim Xn$ の駆動回路16、17を一カ所に、例えばAC-PDP61の左側に集中して配置すると、AC-PDP61の左側の設置スペースの実装密度が高くなってしまふ。このため、図1に示すように、AC-PDP60では、行電極 $X1 \sim Xn$ 用の駆動回路を分割した上で、それぞれをAC-PDP61の左右に配置している。

【0073】このとき、駆動回路16の出力端子に行電極 $X1 \sim Xn$ の奇数番目の電極の左端を接続し、駆動回路17の出力端子に偶数番目の電極の右端を接続しているので、両回路16、17の微妙な回路インピーダンスの差に起因した表示画像の輝度むらをAC-PDP全体として抑制することができる。更に、駆動回路16、17及びYドライバ153、154のそれぞれを、接続すべき電極に近接して配置することによって、配線インピーダンスをできるだけ低く抑えたと共に、各配線インピーダンスの均等化を図ることができる。

【0074】従って、プラズマディスプレイ装置60は、駆動回路16、17、153、154が1カ所に集中して配置されたプラズマディスプレイ装置よりも視認性が良いという効果を奏する。このように、回路設置ス

ペース及び視認性の観点から、図1に示す、プラズマディスプレイ装置60における各構成要素の配置が好ましいと言える。なお、AC-PDP61における行電極 $X1 \sim Xn$ を上下に2分割（グループ化）して駆動しても良い。

【0075】＜実施の形態2＞次に、AC-PDP61に適用可能な他の駆動方法を図3のタイミングチャートを用いて説明する。図3中の(a)～(d)はそれぞれ図2中の(a)～(d)と同様である。また、図3に示す電圧パルスの極性をすべて反転させたパルスを用いても構わない。なお、本駆動方法は、図1のプラズマディスプレイ装置60により実現可能である。

【0076】図3に示すように、実施の形態2に係る駆動方法では、1サブフィールドを「リセット期間」、「アドレス期間」及び「維持放電期間」の3つの期間に分割している。特に、本駆動方法はアドレス期間における駆動方法に特徴があるため、かかる点を中心に説明をする。なお、リセット期間及び維持放電期間での駆動方法は既述の実施の形態1に係る駆動方法（ないしは例えば図13に示す従来の駆動方法）が適用可能であるため、それらを援用するに留める。

【0077】図3に示すように、本駆動方法のアドレス期間では、行電極 $X1$ から行電極 Xn へ順次にスキャンパルス V_{ax} （電圧 V_{ax} ）を印加する。このとき、行電極 Xi にスキャンパルス V_{ax} が印加されている期間の前半に、左側用行電極 $YL1 \sim YLn$ に電圧パルス（第1電圧） V_{ay} （電圧 V_{ay} ）を印加し、右側用行電極 $YR1 \sim YRn$ を接地電位（第2電圧）に設定すると共に、マトリクス (i, j) の放電セルの画像データに基づく電圧パルス V_{aw} （電圧 V_{aw} ）を電圧パルス V_{ay} に同期させて列電極 Wj （及び $Wm+1-j$ ）に印加する。例えば、電圧 $V_{ax} = (-180)V$ 、電圧 $V_{ay} = 60V$ 、電圧 $V_{aw} = 40V$ に設定する。なお、電圧パルス V_{ay} は実施の形態1の駆動方法における電圧パルス V_{ay1} 、 V_{ay2} （図1参照）に相当し、アドレス動作を実行するか否かの制御を確実化するためのものである。

【0078】引き続き、当該スキャンパルス V_{ax} の後半に、左側用行電極 $YL1$ と右側用行電極 $YR1 \sim YRn$ との電圧を入れ替える。即ち、左側用行電極 $YL1 \sim YLn$ を接地電位（第2電圧）に設定し、右側用行電極 $YR1 \sim YRn$ に電圧パルス（第1電圧） V_{ay} を印加すると共に、マトリクス $(i, m+1-j)$ の放電セルの画像データに基づく電圧パルス V_{aw} を電圧パルス V_{ay} に同期させて列電極 $Wm+1-j$ （及び Wj ）に印加する。

【0079】このように、本アドレス期間では、スキャンパルス V_{ax} の印加期間を2分割した上で、当該2分割された期間の一方の期間において左側用行電極 $YL1 \sim YLn$ に属する放電セルのアドレス動作を実行し、他方の期間において右側用行電極 $YR1 \sim YRn$ に属する放

【0108】(8)請求項8に係る発明によれば、上記期間中において上記所望の放電が形成された放電セルにおいて、走査電極の上方及び維持電極の上方に蓄積された壁電荷を増幅・安定化させることができる。従って、当該壁電荷を利用して維持放電を確実に形成することができる。更に、上記次の期間における各印加電圧のマージンを拡大することができる。

【0109】(9)請求項9に係る発明によれば、隔壁によって区画された非放電セル又は放電セルと非放電セルとの2者それぞれに対してアドレス電極の帯状部分を設けた交流型プラズマディスプレイパネルと比較して、同帯状部分の本数を削減することができる。これにより、交流型プラズマディスプレイパネルのコスト削減を図ることができる。また、一体化された結果、電極パターンの幅が拡大するので、アドレス電極の形成工程における位置合わせが容易になり、当該工程において高度のプロセス精度が要求されないという利点がある。

【0110】(10)請求項10に係る発明によれば、上記(1)乃至(9)のいずれかの効果を発揮するプラズマディスプレイ装置を提供することができる。

【図面の簡単な説明】

【図1】 実施の形態1に係るプラズマディスプレイ装置の全体構成を示すブロック図である。

【図2】 実施の形態1に係る交流型プラズマディスプレイパネルの駆動方法を示すタイミングチャートである。

【図3】 実施の形態2に係る交流型プラズマディスプレイパネルの駆動方法を示すタイミングチャートである。

【図4】 実施の形態3に係る交流型プラズマディスプレイパネルの構造を説明するための平面図である。

【図5】 実施の形態3に係る交流型プラズマディスプレイ

レイパネルの構造の要部を拡大して示す平面図である。

【図6】 実施の形態3に係る交流型プラズマディスプレイパネルにおける放電セルと非放電セルとの配列を模式的に示す平面図である。

【図7】 実施の形態3に係る交流型プラズマディスプレイパネルの他の構造を説明するための平面図である。

【図8】 実施の形態3に係るプラズマディスプレイ装置の全体構成を示すブロック図である。

【図9】 実施の形態3の変形例1に係る交流型プラズマディスプレイパネルの構造を説明するための平面図である。

【図10】 第1の従来技術に係る交流型プラズマディスプレイパネルの構造を示す斜視図である。

【図11】 第2の従来技術に係る交流型プラズマディスプレイパネルの構造を示す平面図である。

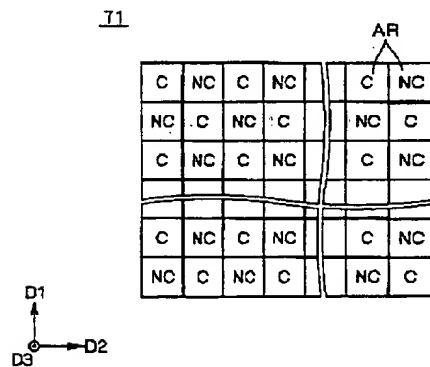
【図12】 第2の従来技術に係る交流型プラズマディスプレイパネルの構造を示す縦断面図である。

【図13】 従来の交流型プラズマディスプレイパネルの駆動方法を説明するためのタイミングチャートである。

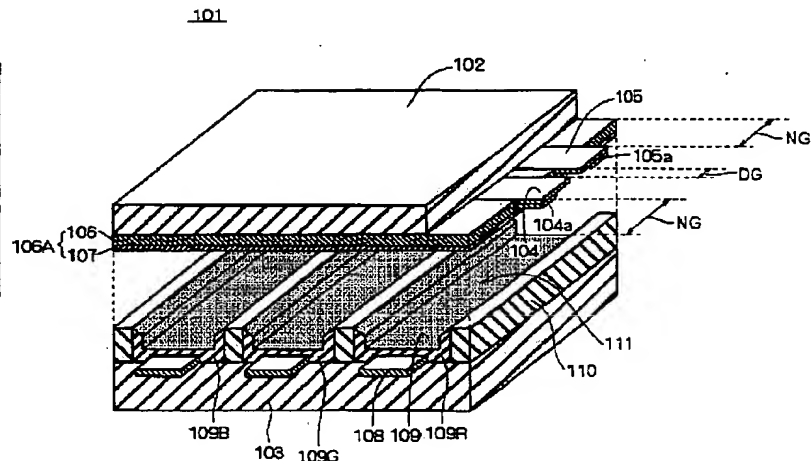
【符号の説明】

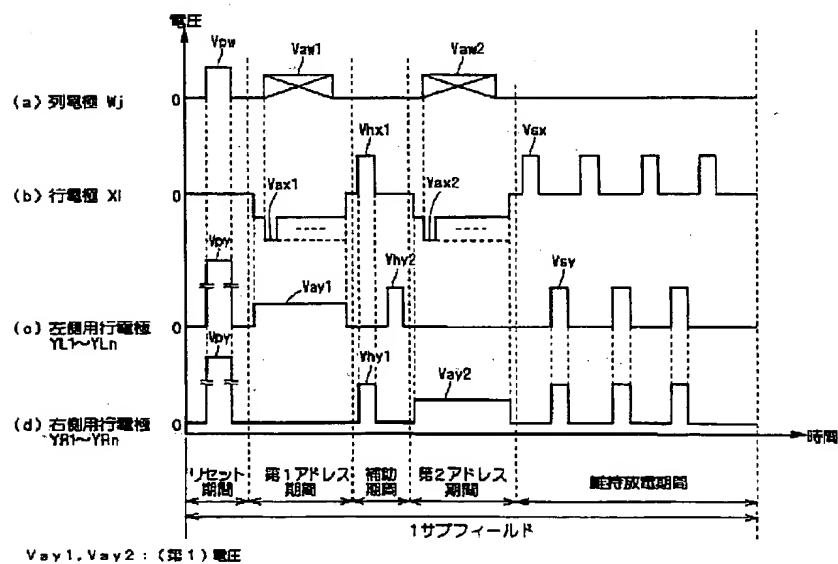
10 隔壁、15、16、17、18、151、152、153、154 駆動回路、40 制御回路、41 電源回路、60、70 プラズマディスプレイ装置、61、71、71A、72 交流型プラズマディスプレイパネル、111 放電空間、D1、D2 方向、C 放電セル、DG 放電ギャップ、NC 非放電セル、NG 非放電ギャップ、V_{ay}、V_{ay1}、V_{ay2} 電圧(第1電圧)、V_{aw}、V_{aw1}、V_{aw2} 電圧、X₁~X_n 行電極(帯状部分、帯状電極)、Y₁~Y_n 行電極(帯状部分)、W₁~W_m 列電極(帯状部分)、W_{W1}~W_{Wm/2} 列電極(アドレス電極)。

【図6】

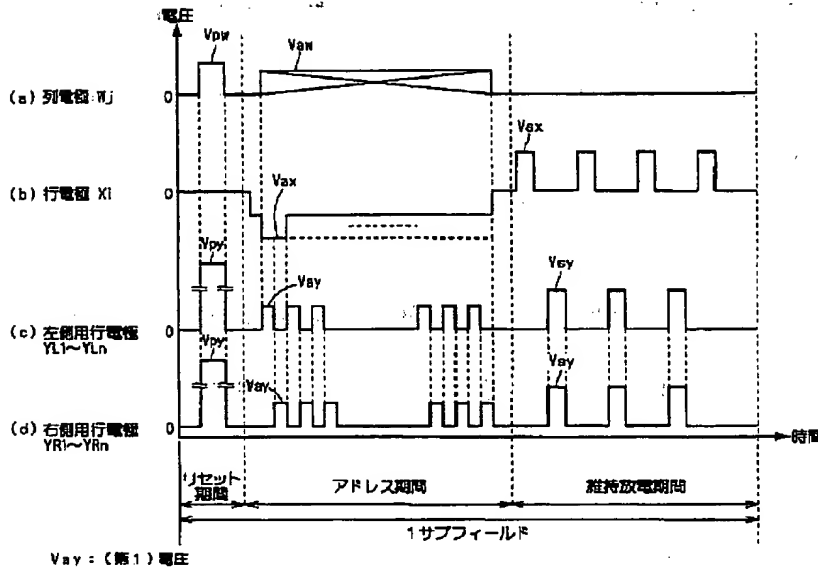


【図10】

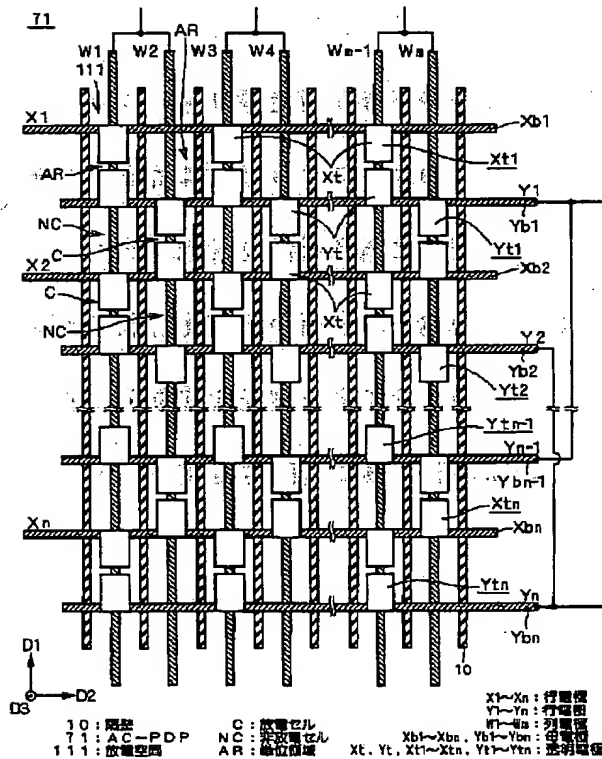




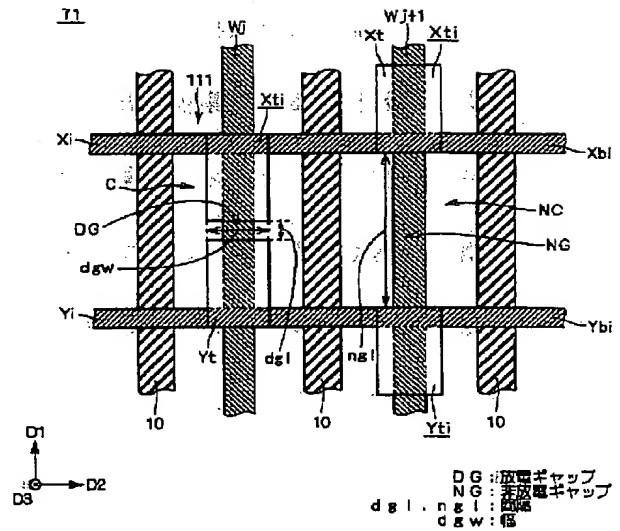
【図3】



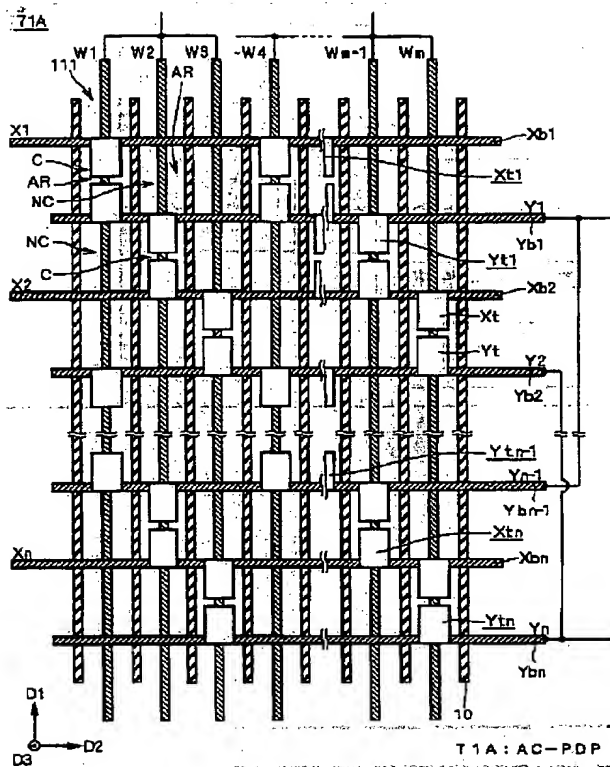
【図4】



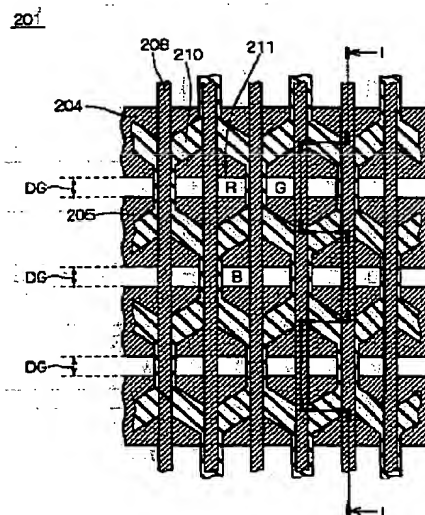
【図5】



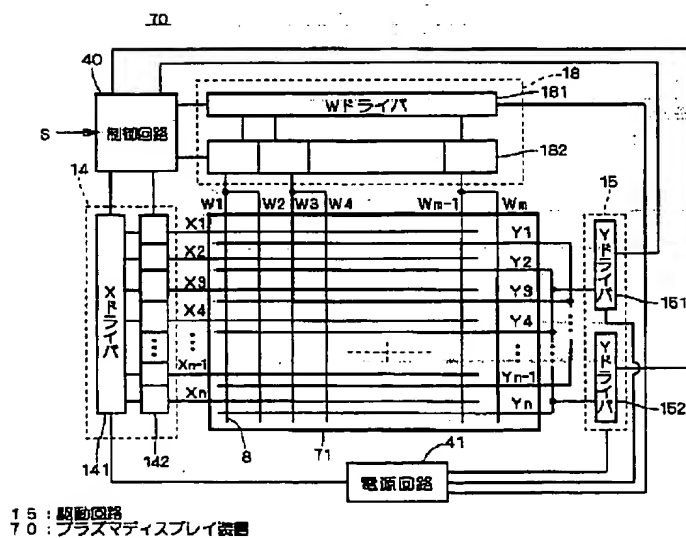
【図7】



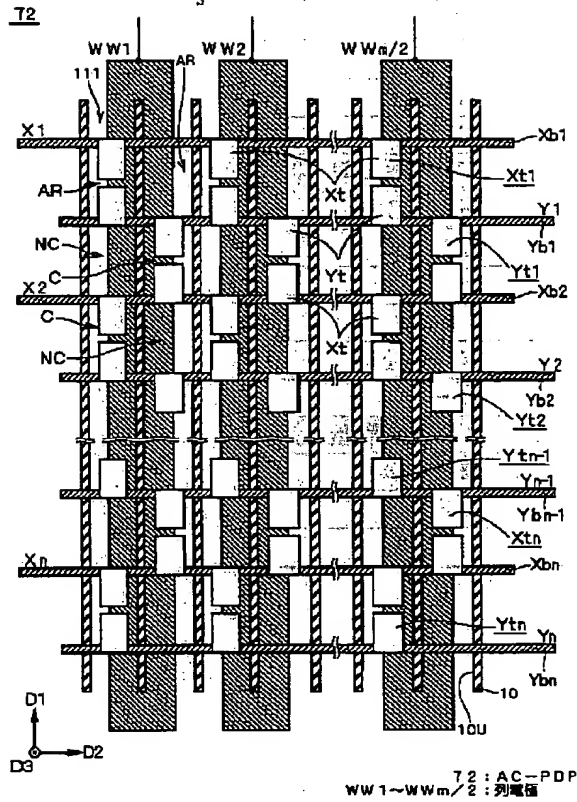
【図11】



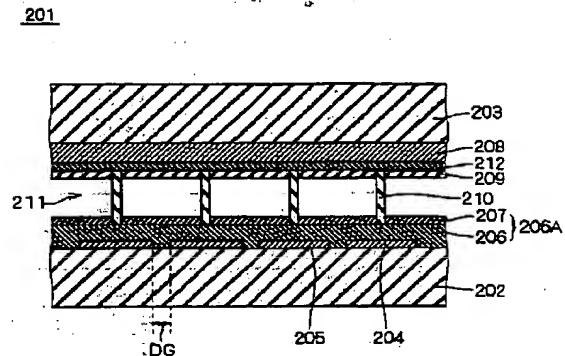
【図8】



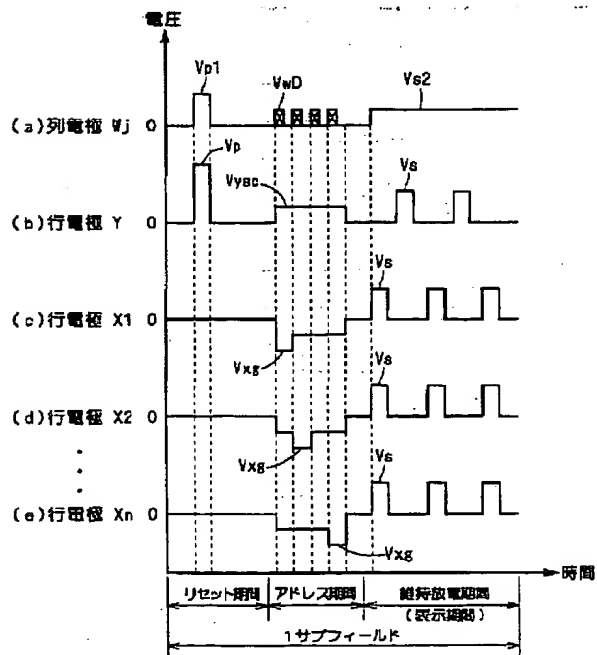
【図9】



..【図12】



【图 13】



フロントページの続き

Fターム(参考) 5C040 FA01 FA04 GB03 GB14 GC04
GC05 GC06 LA18
5C080 AA05 BB05 CC03 DD07 DD23
DD27 EE17 FF09 GG08 HH02
HH04 HH05 JJ02 JJ04 JJ06

출력 일자: 2003/11/28

발송번호 : 9-5-2003-046768943

수신 : 서울 서초구 양재동 275-7 KEC빌딩 17층

발송일자 : 2003.11.27

김창세 귀하

제출기일 : 2004.01.27

137-130

특허청 의견제출통지서



출원인

명칭 미쓰비시덴키 가부시기가이샤 (출원인코드: 519980960919)

주소 일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고

대리인

성명 김창세

주소 서울 서초구 양재동 275-7 KEC빌딩 17층

출원번호

10-2001-0074087

발명의 명칭

플라즈마 디스플레이 패널

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-3항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조 제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본 발명의 특허청구범위 제1항 내지 제3항은 제1기관과 제2기관 사이의 공간을 복수의 독립된 셀 공간으로 구획하는 격벽을 구비하되 상기 복수의 셀 공간은 복수의 방전 셀과 복수의 비방전 셀을 포함하고, 복수의 방전 셀과 복수의 비방전 셀은 각 상기 방전 셀 옆에 적어도 1개의 비방전 셀이 위치되도록 배치된 플라즈마 디스플레이 패널이나, 이는 일본 공개특허공보 특개2000-298451호(2000.10.24)에서 방전 셀과 비방전 셀이 표시라인과 평행한 방향 및 수직인 방향에 있어서 교대로 배치되어 있고, 방전 셀 끼리는 평행 및 수직방향에 있어서 직접 인접하지 않는 교류형 플라즈마 디스플레이 패널의 기술적 구성으로부터 당 업자가 용이하게 발명할 수 있는 것입니다.

[첨부]

첨부1 jp2000-298451호 끝.

2003.11.27

특허청

심사4국

반도체2심사담당관실

심사관 박영복



출력 일자: 2003/11/28

<<안내>>

문의사항이 있으시면 ☎ 042-481-5740 로 문의하시기 바랍니다.

독허청 직원 모두는 깨끗한 독허청정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 구조리신고센터